

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-015982

(43)Date of publication of application : 19.01.1989

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 62-172691

(71)Applicant : RICOH CO LTD

RICOH RES INST OF GEN
ELECTRON

(22)Date of filing : 09.07.1987

(72)Inventor : MORI KOJI

WATANABE HIROBUMI
ABE SHUYA

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a TFT excellent in driving stability, by constituting an oxide film and a second polysilicon layer formed in order on a first polysilicon layer formed on a substrate, and making up the second polysilicon layer of P-doped polysilicon.

CONSTITUTION: On a substrate 1, a first polysilicon layer 2 is formed by atmospheric pressure CVD

(APCVD) method, low pressure CVD (LPCVD)

method, etc. Thereon, a gate oxide film (SiO₂)3 is

formed, on which a second polysilicon layer 4 is

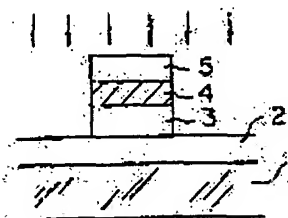
formed. On the second polysilicon layer 4, is formed a

surface protecting layer 5 of SiO₂ or the like formed

by CVD method. In this layer constitution, the second

polysilicon layer 4 is required to be doped polysilicon

containing P atom, which acts as a getter material for maveable ion such as Na⁺ ion.



LEGAL STATUS

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭64-15982

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月19日

H 01 L 29/78
27/12

3 1 1

X-7925-5F
7514-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-172691

⑯ 出 願 昭62(1987)7月9日

⑰ 発 明 者 森 幸 二 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 発 明 者 渡 辺 博 文 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 発 明 者 阿 部 修 也 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応
 用電子研究所株式会社内
 ⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ㉑ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1
 株式会社
 ㉒ 代 理 人 弁理士 佐田 守雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 基板上に形成された第1のポリシリコン層と、その上に順次形成された酸化膜および第2のポリシリコン層とを有する薄膜トランジスタにおいて、第2のポリシリコン層がPドーピングしたポリシリコンからなることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(技術分野)

本発明は各種センサーの駆動回路等に使用され、 Na^+ 等の可動イオンを不活性化した薄膜トランジスタに関する。

(従来技術)

一般に、基板上に第1のポリシリコン層、酸化膜、第2のポリシリコン層を順次形成した薄膜トランジスタ(以下、TFTという)においては、第1のポリシリコン層と酸化膜の界面に

トランジスタのチャンネル形成がなされるため、第1のポリシリコン層中に存在する Na^+ イオンがトランジスタのスレッショルド電圧の変動を惹起せしめ、トランジスタの駆動安定性に大きな影響となっていた。そのため、従来はゲート酸化膜形成プロセス中に Na^+ イオン等の可動イオンに対するゲッター材として Cs^+ イオンを、 $\text{O}_2 + \text{HCl}$ (5%) ガス等で1000℃、3hrの熱酸化工程により Cs^+ イオンを注入せしめる工程、もしくはゲート酸化膜形成後に P_2O_5 といった形で酸化膜表面を被覆し、または POCl_3 ガス雰囲気中で気相蒸着することによりP原子(もしくはP化合物)をゲッターとして注入せしめる方法が採られている。

しかしながら、ゲート酸化膜形成中にゲッター材を注入する場合には、酸化膜形成後に発生する Na^+ イオン等に対しては効果が弱いという問題点を有し、またゲート酸化膜形成後にゲッター材を注入する場合はトランジスタ形成工程とは別のゲッター材導入工程が付加されるた

特開第64-15982(2)

め、全体としての歩留まり、コストは望ましくないという問題点を有し、いずれも低コスト化には寄さないものであった。

(目 的)

本発明は上記した従来の問題点を解消し、工率を増やすことなく、 Na^+ イオン等の可動イオンを不活性化(ゲッタリング)し得、もってスレッショルド電圧の変動をおさえ、駆動安定性に優れたTFTを提供することを目的とするものである。

(構 成)

本発明のTFTの特徴は、基板に形成された第1のポリシリコン層と、その上に順次形成された酸化膜および第2のポリシリコン層とを有する構成のものにおいて、第2のポリシリコン層がPドーピングしたポリシリコンからなることを特徴とするものである。

以下に、本発明のTFTを添付図面を参照して説明する。

第1図は本発明TFTを制作する場合の工程

の一部を示すものである。

第1図(a)において、1は基板であり、この基板1上には第1のポリシリコン層2が常圧CVD(LPCVD)法、減圧CVD(LPCVD)法等により形成され、その上にはゲート酸化膜(SiO_2)3が形成され、さらにその上には第2のポリシリコン層4が形成されている。この第2のポリシリコン層4上にはCVD法による SiO_2 等の表面保護層5が形成されている。このような層構成のものにおいて、第2のポリシリコン層4はP原子を含むドーパドポリシリコンであることが必要であり、このP原子が Na^+ イオン等の可動イオンに可し、ゲッター材として働くことになる。すなわち、第2のポリシリコン層4中にドーピングされたP原子は酸化膜3を透過して第1のポリシリコン層2中へ拡散するようになるものである。従って、酸化膜3の厚さは2000Å以下とすることが望ましく、この酸化膜3の厚さを考慮して、第2のポリシリコン層4中のP原子濃度は0.01~10mol%、第

しくは0.1~2mol%とすることが望ましい。

第1図(b)は(a)のような層構成のものをエッチングにより所定の形状に加工し、第1のポリシリコン層2が露出するようにしたものとする。この露出した第1のポリシリコン層2の部分でトランジスタの場合にはソースおよびドレインに接合する。

次に、第1図(c)に示すように、ソースおよびドレイン部に不純物を拡散する。この場合、不純物イオン注入とそれに続く活性化アニールによる拡散、あるいは熱布法による不純物拡散等があるが、いずれの場合においてもこの工程における高温加熱工程により第2のポリシリコン層4中にドーピングしたP原子を第1のポリシリコン層2中へ拡散することが本発明のポイントとなる。

なお、表面保護層5は第1図(c)で示した不純物拡散時に際し、第2のポリシリコン層4中への不要な不純物拡散を防止する作用をなすものであるが、注入不純物量、第2のポリシリ

コン層4の厚さ、第2のポリシリコン層4中にドーピングしたP原子濃度等の相対的關係によってコントロール可能であるので、必ず設けなければならないものではない。

第1図(c)に示した不純物拡散により、第2のポリシリコン層中のP原子を第1のポリシリコン層中へ拡散せしめると同時に第1のポリシリコン層2にソースおよびドレイン部を形成した後は、通常的手段に従ってトランジスタを形成する。

かくして、本発明の構成のTFTではソースおよびドレイン形成時の加熱拡散工程により第2のポリシリコン層中のP原子を第1のポリシリコン層中へ拡散することができ、これにより第1のポリシリコン層中に存在する Na^+ イオン等の可動イオンがP原子によりゲッタリングされることになる。

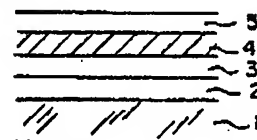
(効 果)

以上のような本発明によれば、 Na^+ イオン等の可動イオンのゲッタリングが別工程を要す

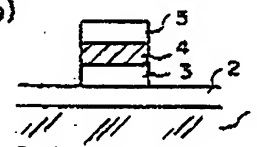
特開昭64-15982(3)

第1図

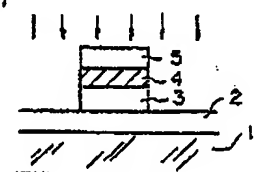
(d)



(b)



(c)



ることなく行え、これによりスレッショルド電圧の変動がおさえられ、駆動安定性に優れたTFTが得られるという効果を有する。

4. 図面の簡単な説明

第1図は本発明TFTを製造する場合の工程の一部を示す説明図である。

- | | |
|---------|--------------|
| 1…基板 | 2…第1のポリシリコン層 |
| 3…酸化膜 | 4…第2のポリシリコン層 |
| 5…表面保護層 | |

特許出願人 株式会社リコー

外1名

代理人 弁護士 佐田 守 雄

外1名

